

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314028

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 25/00  
H01L 21/56  
H01L 21/822  
H01L 23/12  
H01L 27/04  
H01P 11/00  
H01Q 1/38  
H01Q 13/08

(21)Application number : 2001-118242

(71)Applicant : IEP TECHNOLOGIES:KK

(22)Date of filing : 17.04.2001

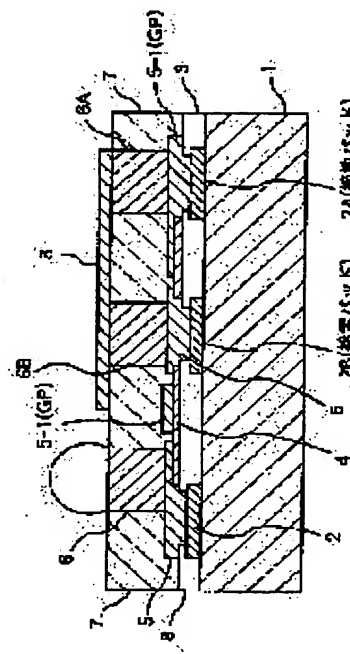
(72)Inventor : AOKI YOSHITAKA

## (54) SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR, AND MOUNTING STRUCTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which passive elements, such as an antenna element, capacitive elements, etc., can be loaded in a chip, and to provide a method of manufacturing the device.

**SOLUTION:** An inverted F-type antenna is formed by providing a ground plane GP composed of a conductor layer 5-1 connected to a grounding pad 2A, a post 6A formed in a state where the post 6A is connected to the plane GP, another post 6B formed in a state where the post 6B is connected to a feeding pad 2B, and an upper conductor layer 8 which is formed on a sealing film 7 and arranged at a position where the layer 8 faces the conductor layer 5-1 in a state where the layer 8 is connected to the posts 6A and 6B. Consequently, the antenna can be loaded in the chip. In addition, the capacitive elements Cp and Cp' can be constituted of upper conductor layers 12 connected to a conductor-plate wiring board and conductor layers 5-2 facing each other via the sealing film 7 or a dielectric film 13. Therefore, the capacitive elements CP and CP' can be loaded in the chip.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-314028  
(P2002-314028A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル (参考)
H 0 1 L 25/00		H 0 1 L 25/00	B 5 F 0 3 8
21/56		21/56	E 5 F 0 6 1
21/822		23/12	5 0 1 P 5 J 0 4 5
23/12	5 0 1	H 0 1 P 11/00	N 5 J 0 4 6
27/04		H 0 1 Q 1/38	

審査請求 未請求 請求項の数17 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2001-118242(P2001-118242)

(22) 出願日 平成13年4月17日 (2001. 4. 17)

(71) 出願人 500224531

株式会社アイ・イー・ピー・テクノロジー  
ズ  
東京都八王子市東浅川町550番地の1

(72) 発明者 青木 由隆

東京都八王子市東浅川町550番地の1 株  
式会社アイ・イー・ピー・テクノロジー  
内

(74) 代理人 100096699

弁理士 鹿嶋 英貴

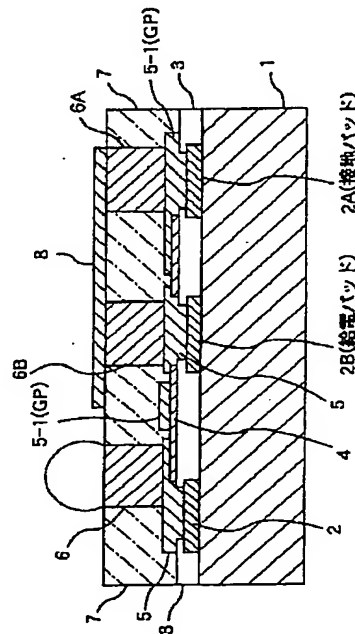
最終頁に続く

(54) 【発明の名称】 半導体装置並びにその製造方法および実装構造

(57) 【要約】

【課題】 アンテナ素子や容量素子等の受動素子をチップ内部に搭載し得る半導体装置およびその製造方法を実現する。

【解決手段】 接地パッド2Aに接続される導体層5-1からなるグラウンドプレーンGPとグラウンドプレーンGPに接続して形成されるポスト6Aと、給電パッド2Bに接続されて形成されるポスト6Bと、封止膜7上に形成され、ポスト6A、6Bに接続されて導体層5-1に対向する位置に配置される上部導体層8とを設けて逆F型アンテナを形成したので、チップ内部にアンテナを搭載することが可能になっている。また、導体板配線基板に接続される上部導体層12と封止膜7または誘電体層13を介して対向する導体層5-2とにより容量素子Cp、Cp'を構成することができ、チップ内部に容量素子を搭載することが可能になっている。



## 【特許請求の範囲】

【請求項1】 半導体基板上に複数の接続パッドが設けられ、柱状電極が接続されて形成される前記複数の接続パッドの内の、複数の第1の接続パッドと、少なくとも一つの第1の導体層が接続されて形成される、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドと、

前記半導体基板上の、前記複数の柱状電極間および前記第1の導体層上に形成される封止膜と、

前記封止膜上に形成され、前記第1の導体層に対向するよう配置される少なくとも一つの第2の導体層と、を有し、

前記第1の導体層と前記第2の導体層によって形成される受動素子を備えることを特徴とする半導体装置。

【請求項2】 前記第2の接続パッドに接続される前記第1の導体層上に形成されて前記第2の導体層に接続される第1の柱状電極と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を備え、

前記第2の接続パッドは接地パッドであり、前記第3の接続パッドは給電パッドであり、前記第1の導体層と前記第2の導体層によって形成される前記受動素子はアンテナ素子であることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の導体層と前記第2の導体層によって形成される前記受動素子は容量素子であり、前記第2の導体層上には配線基板に接続される接続手段を備えることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1の導体層と前記第2の導体層によって形成される前記容量素子を複数備えるとともに、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようバターンニングしてなる誘導素子を備える第3の導体層を備え、

前記複数の容量素子と前記誘導素子とによって形成されるフィルタ回路を備えることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第1の導体層と前記第2の導体層との間に誘電体材料を介装することを特徴とする請求項1乃至請求項4記載の半導体装置。

【請求項6】 半導体基板上に複数の接続パッドが設けられた半導体装置の製造方法において、前記複数の接続パッドの内の、複数の第1の接続パッドに複数の柱状電極を接続して形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドに少なくとも一つの第1の導体層を接続して形成する工程と、

前記半導体基板上の、前記複数の柱状電極間および前記第1の導体層上に封止膜を形成する工程と、

前記封止膜上に、前記第1の導体層に対向するよう配置される少なくとも一つの第2の導体層を形成する工程

と、を備え、

前記第1の導体層と前記第2の導体層によって受動素子を形成することを特徴とする半導体装置の製造方法。

【請求項7】 前記第2の接続パッドに接続される前記第1の導体層上に、前記第2の導体層に接続される第1の柱状電極を形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を形成する工程と、を備え、

10 前記第2の接続パッドは接地パッドにより形成され、前記第3の接続パッドは給電パッドにより形成され、前記第1の導体層と前記第2の導体層によってアンテナ素子が形成されることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第1の導体層と前記第2の導体層によって容量素子を形成する工程と、前記第2の導体層上に配線基板に接続する接続構造を形成する工程と、を備えることを特徴とする請求項6に記載の半導体装置の製造方法。

20 【請求項9】 前記第1の導体層と前記第2の導体層によって前記容量素子を複数形成する工程と、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようバターンニングして誘導素子を形成する第3の導体層を形成する工程と、を備え、前記複数の容量素子と前記誘導素子とによってフィルタ回路を形成することを特徴とする、請求項8に記載の半導体装置。

30 【請求項10】 前記第1の導体層と前記第2の導体層との間に誘電体材料を介装する工程を備えることを特徴とする、請求項6乃至請求項9に記載の半導体装置の製造方法。

【請求項11】 複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、前記各チップ形成領域上に絶縁膜を形成する工程と、前記複数の接続パッドの内の、複数の第1の接続パッドに複数の柱状電極を接続して形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドに少なくとも一つの第1の導体層を接続して前記絶縁膜上に形成する工程と、前記絶縁膜上の、前記複数の柱状電極間および前記第1の導体層上に封止膜を形成する工程と、前記封止膜上に、前記第1の導体層に対向するよう配置される少なくとも一つの第2の導体層を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

50 【請求項12】 前記第1の導体層上に、前記第2の導体層に接続される第1の柱状電極を形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される

第2の柱状電極を形成する工程と、を備え、  
前記第2の接続パッドは接地パッドにより形成され、前記第3の接続パッドは給電パッドにより形成され、前記第1の導体層と前記第2の導体層によってアンテナ素子が形成されることを特徴とする、請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第1の導体層と前記第2の導体層によって容量素子を形成する工程と、該第2の導体層上に、配線基板に接続する接続構造を形成する工程と、を備えることを特徴とする、請求項11に記載の半導体装置の製造方法。

【請求項14】 前記第1の導体層と前記第2の導体層によって前記容量素子を複数形成する工程と、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようパターンニングして誘導素子を形成する第3の導体層を形成する工程と、を備え、前記複数の容量素子と前記誘導素子とによってフィルタ回路を形成することを特徴とする、請求項13に記載の半導体装置。

【請求項15】 前記第1の導体層と前記第2の導体層との間に誘電体材料を介装する工程を備えることを特徴とする、請求項11乃至請求項14に記載の半導体装置の製造方法。

【請求項16】 半導体基板上に複数の接続パッドが設けられ、柱状電極が接続されて形成される前記複数の接続パッドの内の、複数の第1の接続パッドと、少なくとも一つの第1の導体層に接続される前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドと、前記半導体基板上の前記複数の柱状電極間および前記第1の導体層上に形成される封止膜と、該封止膜上に形成され前記第1の導体層に対向するよう配置される第2の導体層とを有して、前記第1の導体層と前記第2の導体層によって形成されるアンテナ素子を備える半導体装置と、複数の配線パターンが形成された配線基板と、を備え、前記半導体装置が前記複数の柱状電極を介して前記配線基板の所定の配線パターンに、接続手段により接続されて実装される半導体装置の実装構造において、前記配線基板における、前記半導体装置の前記第2の導電層との対向領域には、配線パターンが形成されていないことを特徴とする半導体装置の実装構造。

【請求項17】 前記配線基板における、前記半導体装置の前記第2の導電層との前記対向領域は開口部とされていることを特徴とする請求項16に記載の半導体装置の実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CSP (Chip Size Package) 構造の半導体装置およびその製造方法およびその半導体装置の実装構造に関する。

【0002】

【従来の技術】 近年、チップとパッケージのサイズがほぼ等しくなるCSP構造の半導体装置が知られており、その構造例を図15に示す。この図に示す半導体装置20は、保護膜形成、導体層形成、ポスト形成および樹脂封止の各工程からなるパッケージ処理を終えたウェハを個々のチップにダイシングして得られる、所謂ウェハレベルCSPと呼ばれる構造を有している。

【0003】 すなわち、半導体装置20は、ウェハ（半導体基板）1の表面（回路面）側にアルミ電極等からなる複数の接続パッド2を有し、この接続パッド2の上面側には各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるパッシベーション（絶縁膜）3が形成される。

【0004】 パッシベーション3の上面側には、各接続パッド2の中央部分が開口するよう保護膜4が形成される。保護膜4は例えばウェハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。こうして形成される保護膜4上には、各接続パッド2と後述するポスト（柱状電極）6とを電気的に接続する導体層5が形成される。導体層5上の所定箇所には、柱状電極である複数のポスト6が設けられる。

【0005】 ポスト6を覆うように、ウェハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7が形成される。封止膜7の上端面は切削研磨され、これにより露出するポスト6の端面6aについては、その表面の酸化膜を取り除き、そこにハンダ印刷等のメタライズ処理（図示せず）が施される。

【0006】

【発明が解決しようとする課題】 ところで、上述したウェハレベルCSP構造の半導体装置20によってBluetoothモジュールやGPS受信モジュールを具現しようすると、受動素子から形成されるフィルタ回路やアンテナ素子はディスクリート部品としてチップに外付けする形態となっており、チップ内部に搭載できないという問題があった。このため、上記モジュールの更なる小型化を図ることが困難であった。更には、上記のような高周波を用いる回路モジュールにおいては部品間の配線長が周波数特性に影響するため、周波数特性を更に向上させることが困難であった。

【0007】 本発明は、このような事情に鑑みてなされたもので、受動素子から形成されるフィルタ回路やアンテナ素子をチップ内部に搭載し得る半導体装置および半導体装置の製造方法およびその半導体装置に適する実装構造を提供することを目的としている。

【0008】

【課題を解決するための手段】 上記目的を達成するため、請求項1に記載の発明では、半導体基板上に複数の接続パッドが設けられ、柱状電極が接続されて形成され

る前記複数の接続パッドの内の、複数の第1の接続パッドと、少なくとも一つの第1の導体層が接続されて形成される、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドと、前記半導体基板上の、前記複数の柱状電極間および前記第1の導体層上に形成される封止膜と、前記封止膜上に形成され、前記第1の導体層に対向するよう配置される少なくとも一つの第2の導体層とを有し、前記第1の導体層と前記第2の導体層によって形成される受動素子を備えることを特徴とする。

【0009】請求項2に記載の発明では、請求項1に記載の発明において、前記第2の接続パッドに接続される前記第1の導体層上に形成されて前記第2の導体層に接続される第1の柱状電極と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を備え、前記第2の接続パッドは接地パッドであり、前記第3の接続パッドは給電パッドであり、前記第1の導体層と前記第2の導体層によって形成される前記受動素子はアンテナ素子であることを特徴とする。

【0010】請求項3に記載の発明では、請求項1に記載の発明において、前記第1の導体層と前記第2の導体層によって形成される前記受動素子は容量素子であり、前記第2の導体層上には配線基板に接続される接続手段を備えることを特徴とする。

【0011】請求項4に記載の発明では、請求項3に記載の発明において、前記第1の導体層と前記第2の導体層によって形成される前記容量素子を複数備え、同時に、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようバタニングしてなる誘導素子を備える第3の導体層を備え、前記複数の容量素子と前記誘導素子とによって形成されるフィルタ回路を備えることを特徴とする。

【0012】請求項5に記載の発明では、請求項1乃至請求項4に記載の発明において、前記第1の導体層と前記第2の導体層との間に誘電体材料を介装することを特徴とする。

【0013】請求項6に記載の発明では、半導体基板上に複数の接続パッドが設けられた半導体装置の製造方法において、前記複数の接続パッドの内の、複数の第1の接続パッドに複数の柱状電極を接続して形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドに少なくとも一つの第1の導体層を接続して形成する工程と、前記半導体基板上の、前記複数の柱状電極間および前記第1の導体層上に封止膜を形成する工程と、前記封止膜上に、前記第1の導体層に対向するよう配置される少なくとも一つの第2の導体層を形成する工程とを備え、前記第1の導体層と前記第2の導体層によって受動素子を形成することを特徴とする。

【0014】請求項7に記載の発明では、請求項6に記載の発明において、前記第2の接続パッドに接続される

前記第1の導体層上に、前記第2の導体層に接続される第1の柱状電極を形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を形成する工程とを備え、前記第2の接続パッドは接地パッドにより形成され、前記第3の接続パッドは給電パッドにより形成され、前記第1の導体層と前記第2の導体層によってアンテナ素子が形成されることを特徴とする。

【0015】請求項8に記載の発明では、請求項6に記載の発明において、前記第1の導体層と前記第2の導体層によって容量素子を形成する工程と、前記第2の導体層上に配線基板に接続する接続構造を形成する工程とを備えることを特徴とする。

【0016】請求項9に記載の発明では、請求項8に記載の発明において、前記第1の導体層と前記第2の導体層によって前記容量素子を複数形成する工程と、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようバタニングして誘導素子を形成する第3の導体層を形成する工程とを備え、前記複数の容量素子と前記誘導素子とによってフィルタ回路を形成することを特徴とする。

【0017】請求項10に記載の発明では、請求項6乃至請求項9に記載の発明において、前記第1の導体層と前記第2の導体層との間に誘電体材料を介装する工程を備えることを特徴とする。

【0018】請求項11に記載の発明では、半導体装置を製造する方法であって、複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板を準備する工程と、前記各チップ形成領域上に絶縁膜を形成する工程と、前記複数の接続パッドの内の、複数の第1の接続パッドに複数の柱状電極を接続して形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドに少なくとも一つの第1の導体層を接続して前記絶縁膜上に形成する工程と、前記絶縁膜上の、前記複数の柱状電極間および前記第1の導体層上に封止膜を形成する工程と、前記半導体ウェハ基板を前記チップ形成領域毎に分断して複数の半導体装置を形成する工程とを具備することを特徴とする。

【0019】請求項12に記載の発明では、請求項11に記載の発明において、半導体装置の製造方法において、前記第1の導体層上に、前記第2の導体層に接続される第1の柱状電極を形成する工程と、前記複数の接続パッドの内の、少なくとも一つの第3の接続パッドに接続されて前記第2の導体層に接続される第2の柱状電極を形成する工程とを備え、前記第2の接続パッドは接地パッドにより形成され、前記第3の接続パッドは給電パッドにより形成され、前記第1の導体層と前記第2の導体層によってアンテナ素子が形成されることを特徴とする

る。

【0020】請求項13に記載の発明では、請求項11に記載の発明において、前記第1の導体層と前記第2の導体層によって容量素子を形成する工程と、該第2の導体層上に、配線基板に接続する接続構造を形成する工程とを備えることを特徴とする。

【0021】請求項14に記載の発明では、請求項13に記載の発明において、前記第1の導体層と前記第2の導体層によって前記容量素子を複数形成する工程と、少なくとも二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようパターンニングして誘導素子を形成する第3の導体層を形成する工程とを備え、前記複数の容量素子と前記誘導素子とによってフィルタ回路を形成することを特徴とする。

【0022】請求項15に記載の発明では、請求項11乃至請求項14に記載の発明において、前記第1の導体層と前記第2の導体層との間に誘電体材料を介装する工程を備えることを特徴とする。

【0023】請求項16に記載の発明では、半導体装置の実装構造において、半導体基板上に複数の接続パッドが設けられ、柱状電極が接続されて形成される前記複数の接続パッドの内の、複数の第1の接続パッドと、少なくとも一つの第1の導体層に接続される前記複数の接続パッドの内の、少なくとも一つの第2の接続パッドと、前記半導体基板上の前記複数の柱状電極間および前記第1の導体層上に形成される封止膜と、該封止膜上に形成され前記第1の導体層に対向するよう配置される第2の導体層とを有して、前記第1の導体層と前記第2の導体層によって形成されるアンテナ素子を備える半導体装置と、複数の配線パターンが形成された配線基板とを備え、前記半導体装置が前記複数の柱状電極を介して前記配線基板の所定の配線パターンに、接続手段により接続されて実装される半導体装置の実装構造において、前記配線基板における、前記半導体装置の前記第2の導電層との対向領域には、配線パターンが形成されていないことを特徴とする。

【0024】請求項17に記載の発明では、請求項16に記載の発明において、前記配線基板における、前記半導体装置の前記第2の導電層との前記対向領域は開口部とされていることを特徴とする。

【0025】本発明では、接続パッドに接続される第1の導体層と、封止膜上に形成され、当該第1の導体層に対向するよう配置される第2の導体層とによってアンテナ素子や容量素子等の受動素子を形成するので、チップ内部にアンテナ素子や容量素子等の受動素子を搭載することができる。また、本発明では、二つの上記容量素子間に介装され、誘導素子を形成するようパターンニングされた第3の導体層を備えて、容量素子と誘導素子でフィルタ回路を形成し、チップ内部に搭載することもできる。これらにより、当該チップを用いて構成したモジュ

ールの寸法を小型化することができる。また、本発明では、チップにアンテナが搭載された場合、チップが搭載される配線基板のアンテナに対向する部分を、配線パターンが形成されない領域、あるいは開口部、とすることによりアンテナの放射効率を損なうことを抑制することができる。

【0026】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

# (1) 第1の実施形態

図1および図2は、第1の実施形態による半導体装置20の構造を示す断面図および平面図である。これらの図において前述した従来例(図15参照)と共通する部分には同一の番号を付し、その説明を適宜省略する。図1および図2に図示する半導体装置20が、図15に図示した従来例と相違する点は、接地パッド2A(第2の接続パッド)に接続して形成された導体層5-1(第1の導体層)によるグランドプレーンGPと、封止膜7上に形成された上部導体層8(第2の導体層)と、接地パッド2Aに接続して形成され上部導体層8に接続されるポスト6A(第1の柱状電極)と、給電パッド2B(第3の接続パッド)に接続して形成され上部導体層8に接続されるポスト6B(第2の柱状電極)とを備え、接地パッド2Aに接続される導体層5-1と、接地パッド2Aおよび給電パッド2Bに接続される上部導体層8は図2に示すように封止膜7を介して対向する位置に設けられ、これらによって逆F型アンテナを形成したことにあり、接続パッド2(第1の接続パッド)上に形成される導体層5およびポスト6の構成は図15に示した従来例と同じである。

【0027】次に、図3～図7を参照して、上記構造による半導体装置20の製造工程について説明する。第1の実施形態による製造工程では、先ず図3に図示する通り、ウェハ1の回路面側に設けられたアルミ電極等からなる複数の接続パッド2(接地パッド2Aおよび給電パッド2Bを含む)の上面側に、それぞれ各接続パッド2の中央部を露出するように、酸化シリコンあるいは窒化シリコン等からなるバッシベーション3を形成した後、このバッシベーション3の上面側に各接続パッド2の中央部分が開口するよう保護膜4を形成する。

【0028】この保護膜4は、例えばウェハ1の回路面側全面にポリイミド系樹脂材を塗布硬化させた後に、エッチング液を用いてレジストパターンニングおよび保護膜パターンニングを施してからレジスト剥離することで形成される。保護膜4は、ポリイミド系樹脂材を塗布してスピンコートする手法の他、スキージを用いる印刷法やノズルからのインク吐出による塗布法を用いることが可能であり、保護膜材料としてもポリイミド系樹脂材に限らず、エポキシ系樹脂材やPBO(ベンザオキシドール系)等を用いてもよい。



【0029】次に、図4に図示するように、保護膜4に形成された開口部を介して露出される接続パッド2および給電パッド2B上に導体層5を形成し、接地パッド2A上にグランドプレーンGPに対応する導体層5-1を形成する。導体層5および導体層5-1は、保護膜4の全面にUBMスパッタ処理等によりUBM層（図示略）を堆積し、この後、フォトリソグラフィ技術により所定形状の開口部分に対応したパターニングを施した後、このレジストによって開口された部分に電解メッキを施すことで形成される。なお、導体層5および導体層5-1を形成する手法としては、これ以外に無電解メッキ方法を用いることもできる。また、これら導体層に用いる材料としては、良好な導電特性を備える銅、アルミおよび金あるいはこれらの合金を用いる。

【0030】導体層5および導体層5-1を形成した後には、図5に図示するように、その導体層5および導体層5-1上の所定箇所にポスト6およびポスト6A、6Bを設ける。各ポストは、例えば100～150μm程度の厚さでポスト形成用のフォトリソレジストを塗布硬化させた上、各導体層5および導体層5-1の所定箇所を露出する開口部を形成し、この開口部内に電解メッキを施すことで形成される。各ポストを形成する手法としては、これ以外に無電解メッキ方法やスタッドバンプ法を用いることもできる。ポストに用いる材料は、良好な導電特性を備える銅、ハンダ、金あるいはニッケル等を用いる。なお、ポスト形成材料としてはんだを用いる場合は、この後リフロー処理を施すことにより球状の電極を形成することも出来る。また、はんだを用いてポスト6を形成する場合には、上記の他に印刷法を用いることもできる。

【0031】こうして、図5に図示した構造が形成された後は、図6に図示するように、各ポストを覆うように、ウェハ1の回路面全体をポリイミドあるいはエポキシ等の樹脂材によってモールドして封止膜7を形成する。封止膜7は、環境変化に対応する信頼性を確保する上で、好ましくは上述した保護膜4と主成分が実質的に同一な樹脂材とする。なお、封止膜7を形成する手法としては、上記モールド法の他に、印刷法、浸漬法、スピンコート法、ダイコート法を用いることもできる。

【0032】ポスト6の樹脂封止後には、図7に示すように、封止膜7の上端面を切削研磨してポスト6の端面6aを露出させてその表面の酸化膜を取り除いた後、接地パッド2Aに対応するポスト6Bおよび給電パッド2Bに対応するポスト6Aおよび6B上に銅箔をハンダ印刷等でラミネートして上部導体層8を形成する。もしくは電導性接着剤にて接地パッド2Aおよび給電パッド2Bにそれぞれ対応するポスト6Aおよび6B上に、上部導体層8となる導体板を固着する。

【0033】次に、図8に図示するように、必要に応じ

て、上部導体層8が形成されていないポスト6にハンダボールBを配置して端子形成した後、予め定められたカットラインCLに沿ってダイシングを施してウェハ1をチップに個片化する。これにより、図1に図示した構造、すなわち、導体層5-1から形成されるグランドプレーンGPと、接地パッド2Aおよび給電パッド2Bにそれぞれ対応するポスト6Aおよび6B上に電氣的に接続される上部導体層8とから構成される逆F型アンテナを搭載した半導体装置20が生成される。

【0034】次いで、こうした構造の半導体装置20を所定の配線パターンが形成された配線基板に実装する場合の好適な実装構造を図9および図10に示す。図9に図示する態様では、筐体40内部に配線基板30が配置され、半導体装置20は、ポスト6上に形成されたハンダボールBを介して配線基板30上に形成された所定の配線パターン31に接続されて実装される。これによって、半導体装置20のアンテナとなる上部導体層8が配線基板30に対向する向きで実装される。ここで、配線基板30の上部導体層8と対向する領域32には配線パターンを形成しないようにする。

【0035】これにより、上部導体層8から放射される電波の放射効率が配線基板30上の配線パターンの存在によって低下したり、放射パターンが乱れたりすることを抑制することができる。更に、図10に図示する態様では、配線基板30の上部導体層8と対向する領域32を開口部としている。これにより、上部導体層8から放射される電波を妨げる部材が殆ど無くなり、電波の放射効率の低下を最小限にすることができる。

【0036】以上のように、第1の実施形態によれば、導体層5-1をグランドプレーンGPとし、かつ接地パッド2Aおよび給電パッド2Bにそれぞれ接続されるポスト6Aおよび6B上に上部導体層8を設けて逆F型アンテナを形成したので、チップ内部にアンテナを搭載することが可能になり、当該チップを用いて構成したアンテナを備えるモジュールの寸法を小型化することができる。また、チップ内部にアンテナを搭載することでチップ上の回路からアンテナへの配線長を非常に短くすることができるため、給電損失を最小化し得る等、伝送線路特性の向上にも寄与する。

【0037】なお、本実施形態では、逆F型アンテナを搭載する一例について言及したが、これに限らず、例えば逆L型アンテナ、パッチアンテナあるいはマイクロストリップアンテナを形成することも勿論可能である。また、一つのチップに複数のアンテナ素子を配列してフェイズドアレイアンテナを構成し、所望の指向特性を得ることも可能である。

【0038】さらに、上述した実施形態では、グランドプレーンGPと上部導体層8との間には封止膜7が介在する構造であるが、これに替えて、図11に示すように、グランドプレーンGPと上部導体層8との間に高誘

電体材 11 を組込む構造としてもよい。その場合、ボスト 6 を形成後、誘電体材 11 をグラウンドプレーン GP (導体層 5-1) に接着剤で固着した後、前述した封止工程を経て上部導体層 8 を敷設することになる。このように、グラウンドプレーン GP と上部導体層 8 との間に、例えばチタン酸バリウム等の高誘電体材を組込むと、アンテナ素子の電気長を調整することが可能となる。つまり、上部導体層 8 のパターンサイズを変えることなくアンテナ素子の共振周波数を変化させることが可能になる。また、アンテナ素子の共振周波数を一定値とした場合、高誘電体材を組込むと、グラウンドプレーン GP および上部導体層 8 の面積を小さくすることができる。

【0039】(2) 第 2 の実施形態

図 12 (イ)、図 12 (ロ) および図 13 は、第 2 の実施形態による半導体装置 20 の構造を示す断面図である。これらの図において前述した第 1 の実施形態と共通する部分には同一の番号を付し、その説明を適宜省略する。第 2 の実施形態による半導体装置 20 は、図 12 (イ) に示すように、所定の接続パッド 2C (第 2 の接続パッド) に接続して形成された導体層 5-2 (第 1 の導体層) と、封止膜上に形成された上部導体層 12 (第 2 の導体層) と、を備え、導体層 5-2 と上部導体層 12 は図 12 (イ) に示すように封止膜 7 を介して対向する位置に設けられている。

【0040】そして、この上部導体層 12 上にはハンダ印刷等のメタライズ処理が施されてハンダ層 B' が形成され、図 12 (ロ) に示すように、ハンダ層 B' を介して回路基板 30 に形成されたパッド 33 に接続される。これによって、上部導体層 12 と封止膜 7 と導体層 5-2 とにより容量素子 Cp を形成することを特徴とする。これによって、回路基板 30 上のパッド 33 とチップ内の導体層 5-2 の間に容量素子 Cp を備え、例えば図 12 (ハ) に示すような回路を構成することができる。ここで、20a は、図 12 (イ) に示すように、半導体装置 20 の予め半導体基板 1 上に形成されている回路部分であり、これに上記容量素子 Cp が接続された構成とすることができる。このように容量素子をチップと一体的に形成できるため、当該チップを用いて構成した容量素子を備えるモジュールの寸法を小型化することができる。

【0041】さらに、上述した実施形態では、上部導体層 12 と導体層 5-2 との間には封止膜 7 が介在して容量素子を形成しているが、図 13 に示すように、上部導体層 12 と導体層 5-2 との間に誘電体層 13 を組込み、容量素子 Cp' を形成するようにしてもよい。このような構造による容量素子は、上部導体層 12 と導体層 5-2 との間に介装される誘電体層 13 の比誘電率、厚さおよび面積でその容量が決り、誘電体層 13 を形成する誘電体としては、例えばチタン酸バリウム、チタン酸タンタル等の高誘電体材が用いられる。このような高誘

電体材を組込むと、上部導体層 12 および導体層 5-2 の面積を変えずに容量値を大きくすることができ、また、容量値を一定値とした場合、各導体層の面積を小さくすることができる。

【0042】次いで、上述した第 2 の実施形態の変形例を図 14 (イ)、(ロ) に示す。すなわち、図 14

(イ) はこの実施形態での断面図を示し、図 14 (ロ) は封止膜 7 を除いた状態の I-I 面での半導体装置 20 の平面図を示す。本実施形態では、図 14 (イ) に図示するように、導体層 5-3 および導体層 10 (第 1 の導体層) が接続して形成される接続パッド 2D (第 2 の接続パッド) を備えるとともに、封止膜 7 上に形成され、導体層 5-3 および導体層 10 に対応する位置に形成された上部導体層 12-1、12-2 (第 2 の導体層) を備え、また、導体層 10 には柱状電極 6 が形成される。

【0043】また、柱状電極 6 上にはハンダボール B が形成され、上部導体層 12-1、12-2 上にはハンダ印刷等のメタライズ処理が施されてハンダ層 B' が形成され、上部導体層 12-1、12-2 はハンダ層 B' を介して回路基板 30 に形成されたパッド 35 に各々接続され、柱状電極 6 はハンダボール B を介して回路基板 30 に形成されたパッド 36 に接続される。これにより、上部導体層 12-1 と導体層 5-3 の間、および上部導体層 12-2 と導体層 10 の間、に上述した容量素子 Cp と同様の構造を有する二つの容量素子 C1、C2 が形成される。

【0044】さらに、導体層 10 は、図 14 (ロ) に図示するように、角渦巻き状にパターンニングされ、それにより誘導素子 L を形成する構成を備えている。これら容量素子 C1、C2 および誘導素子 L を組合せて、例えば図 14 (ハ) に示す回路、すなわち半導体基板 1 上に形成されている回路部分 20a に  $\pi$  型ローパスフィルタが接続された回路を構成することができる。このように、受動素子から形成されるフィルタ回路をチップ内部に搭載することが出来るため、当該チップを用いて構成した、フィルタ回路を備えるモジュールの寸法を小型化することができる。

【0045】

【発明の効果】請求項 1、6 に記載の発明によれば、接続パッドに接続される第 1 の導体層と、封止膜上に形成され、当該第 1 の導体層に対向するよう配置される第 2 の導体層とによって受動素子を形成するので、チップ内部に受動素子を搭載することができるので、モジュールの小型化を図ることができる。請求項 2、7 に記載の発明によれば、第 1 の導体層が接地パッドに接続され、封止膜上に形成され、当該第 1 の導体層に対向するよう配置される第 2 の導体層が第 1 の導体層上に設けられた第 1 の柱状電極を介して第 1 の導体層と接続されるとともに、この第 2 の導体層と接続する第 2 の柱状電極を経て接続される給電パッドとを備え、第 1 の導体層と第 2 の



導体層とからアンテナ素子を形成するので、チップ内部にアンテナ素子を搭載することができる。これにより、アンテナ素子を用いるモジュールの小型化を図ることができる。請求項 3, 8 に記載の発明によれば、第 1 の導体層と、封止膜上に形成されて当該第 1 の導体層に対向するよう配置され、配線基板に接続される接続手段を備える第 2 の導体層と、によって容量素子を形成するので、チップ内部に容量素子を搭載することができる。これにより、容量素子を用いるモジュールの小型化を図ることができる。請求項 4, 9 に記載の発明によれば、第 1 の導体層と、この第 1 の導体層に対向するよう配置される第 2 の導体層とによって形成される容量素子を複数備えとともに、二つの前記容量素子間に接続して介装され、インダクタ成分を誘起するようパターンニングして形成される誘導素子を備える第 3 の導体層を備え、前記複数の容量素子と前記誘導素子とによってフィルタ回路を形成するのでチップ内部にフィルタ回路を搭載することができる。これにより、モジュールの小型化を更に図ることができる。請求項 5, 10 に記載の発明によれば、第 1 の導体層と、この第 1 の導体層に対向するよう配置される第 2 の導体層との間に誘電体材料を介装するので、アンテナ素子の電気長、あるいは容量素子の容量値、を調整することができる。これにより、アンテナ素子や容量素子の面積を小さくすることができ、これらを用いるモジュールを更に小型化することができる。請求項 11~15 に記載の発明によれば、複数の接続パッドを有するチップ形成領域を複数備える半導体ウェハ基板上の各チップ形成領域に、少なくとも一つの接続パッドに接続される第 1 の導体層と、封止膜上に形成され、当該第 1 の導体層に対向するよう配置される第 2 の導体層とを形成して、アンテナ素子や容量素子等の受動素子を形成した後、前記半導体ウェハ基板をチップ形成領域毎に分断して複数の半導体装置を形成するするようにしたので、各チップ形成領域上に受動素子をまとめて形成することができる。請求項 16, 17 に記載の発明によれば、接続パッドに接続される第 1 の導体層と、封止膜上に形成され、当該第 1 の導体層に対向するよう配置される第 2 の導体層とを備えてチップ内部にアンテナ素子を搭載する半導体装置を、アンテナ素子が配線基板に対向する状態に実装する場合に、アンテナ素子に対向する配線基板の領域を、配線パターンが形成されない領域、あるいは開口部とするようにしたので、アンテナの放射効率の低下を抑制することができ、チップ内部に搭載したアンテナ素子を良好に機能させることができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態による半導体装置 20 の構造を示す断面図である。

【図 2】第 1 の実施形態による半導体装置 20 の構造を示す平面図である。

【図 3】第 1 の実施形態による半導体装置の製造工程を説明する為の断面図である。

【図 4】図 3 に続く半導体装置の製造工程を説明する為の断面図である。

【図 5】図 4 に続く半導体装置の製造工程を説明する為の断面図である。

【図 6】図 5 に続く半導体装置の製造工程を説明する為の断面図である。

【図 7】図 6 に続く半導体装置の製造工程を説明する為の断面図である。

【図 8】図 7 に続く半導体装置の製造工程を説明する為の断面図であり、個片化された半導体装置 20 の完成状態を示すものである。

【図 9】筐体内の配線基板に半導体装置 20 を実装した実装構造の一例を示す図である。

【図 10】筐体内の配線基板に半導体装置 20 を実装した実装構造の他の例を示す図である。

【図 11】グラウンドプレーン GP と上部導体層 8 との間に高誘電体材 11 を組込んだ半導体装置 20 の構造を示す断面図である。

【図 12】第 2 の実施形態による半導体装置 20 の構造を示す断面図である。

【図 13】第 2 の実施形態による半導体装置 20 の構造を示す断面図である。

【図 14】 $\pi$ 型ローパスフィルタを具備する半導体装置 20 の構造を示す図である。

【図 15】従来例による半導体装置 20 の構造を示す断面図である。

【符号の説明】

1 ウェハ（半導体基板）

2 接続パッド

2A 接地パッド

2B 給電パッド

3 パッシベーション

4 保護膜

5、5-2、5-3 導体層

5-1 グラウンドプレーン GP

6 ポスト（柱状電極）

7 封止膜

8、12、12-1、12-2 上部導体層

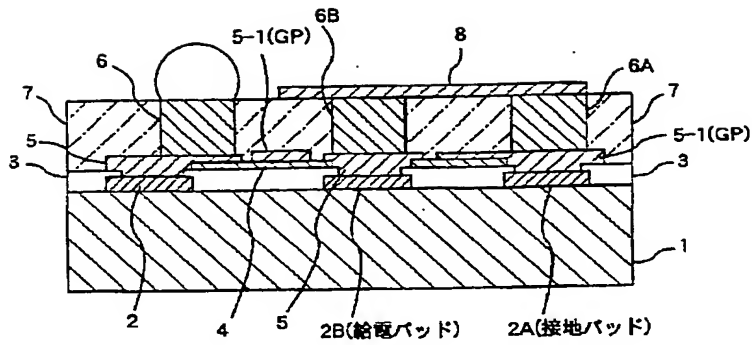
11 高誘電体

13 誘電体層

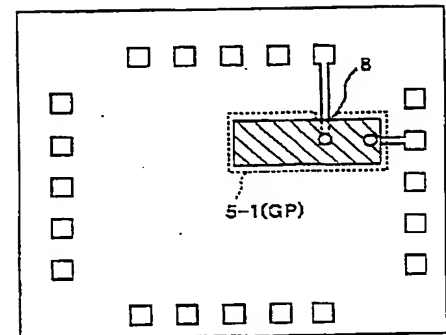
C1、C2 容量素子

L 誘導素子

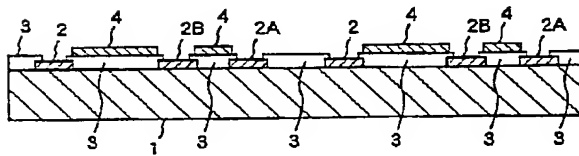
【図1】



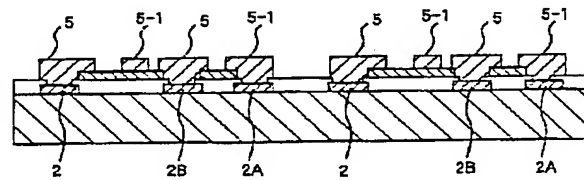
【図2】



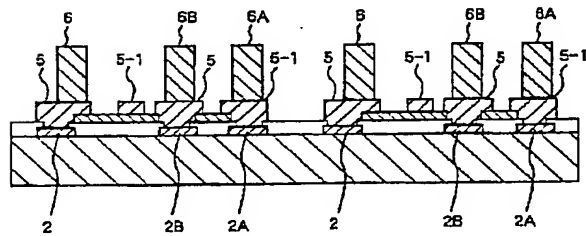
【図3】



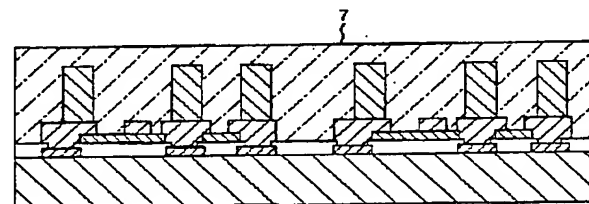
【図4】



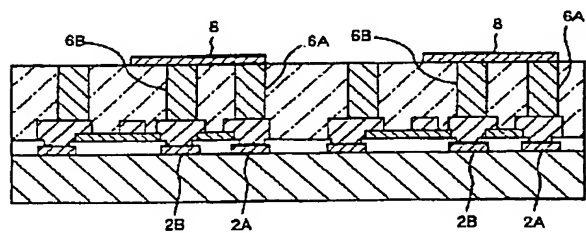
【図5】



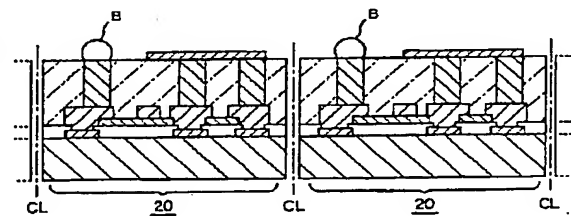
【図6】



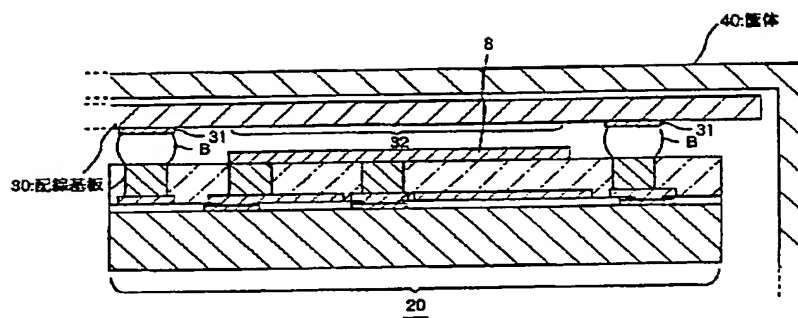
【図7】



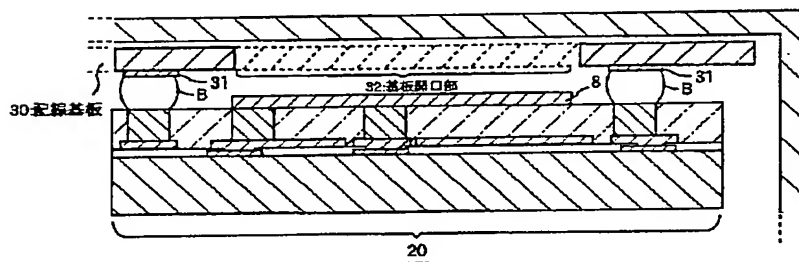
【図8】



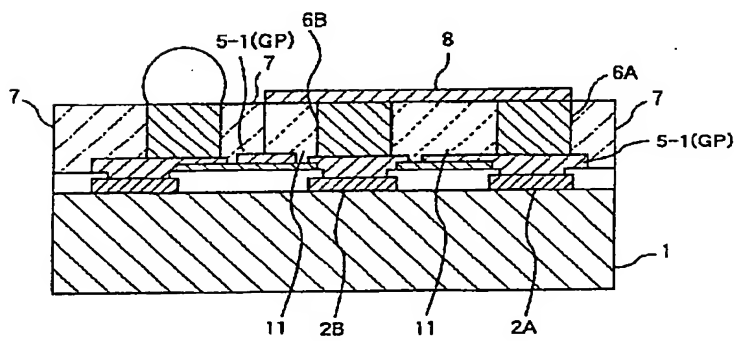
【圖9】



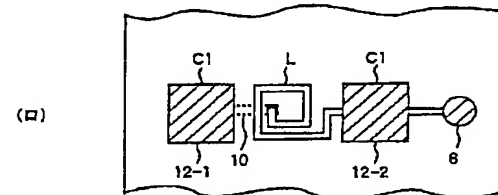
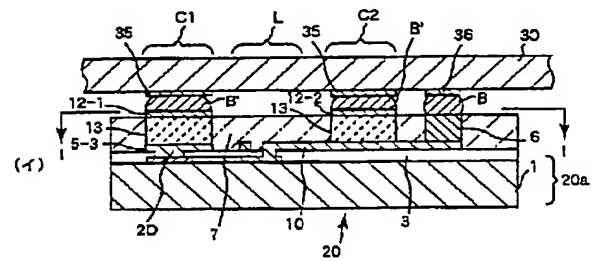
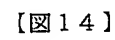
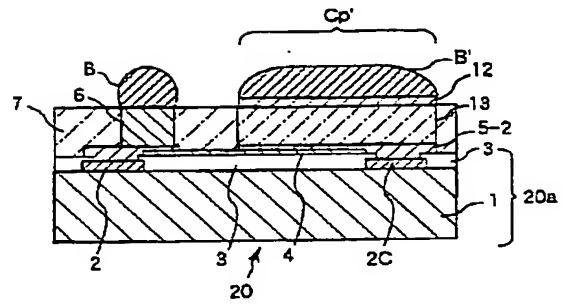
【圖 10】



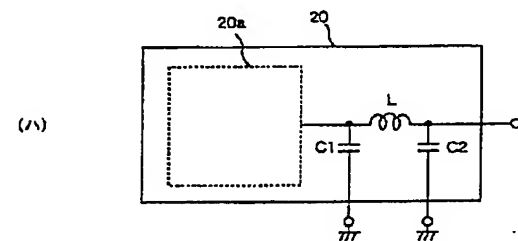
【例 11】



【圖 13】



【図15】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

タームコード (参考)

H 0 1 P 11/00

H 0 1 Q 13/08

H 0 1 Q 1/38

H 0 1 L 27/04

C

13/08

L

F ターム (参考) 5F038 AC05 AC07 AC15 AC18 AZ04

DF01 EZ19 EZ20

5F061 AA01 BA05 CA10 CA22 CB13

FA03

5J045 AA05 AB05 DA08 EA07 FA02

HA03 NA01

5J046 AA04 AA07 AB13 PA07